



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002170398 A**

(43) Date of publication of application: **14.06.02**

(51) Int. Cl.

G11C 29/00
G01R 31/28
G11C 11/401

(21) Application number: 2000365053

(22) Date of filing: 30.11.00

(71) Applicant: **FUJITSU LTD FUJITSU VLSI LTD**

(72) Inventor: SUGAMOTO HIROYUKI
TANAKA HIDETOSHI
OGAWA KAZUKI

(54) SYNCHRONOUS TYPE SEMICONDUCTOR
DEVICE, AND TEST SYSTEM

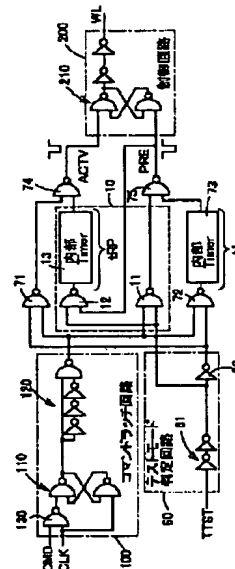
(57) Abstract:

PROBLEM TO BE SOLVED: To provide a synchronous type semiconductor device in which applying efficiency of electric stress for a device is improved to perform efficiently a burn-in/stress test, and a test system.

SOLUTION: A command latch circuit 100 to which an access command READ CMD is inputted outputs a low level pulse synchronizing with an external clock CLK, outputs an internal pre-charge signal PRE of a low level through a NAND gate 11 and a NAND gate 75 of a test mode sequence circuit 10, and resets an activation signal VW of a work line from a control circuit 200. At the same time, after an internal p re-charge signal PRE is delayed by an internal timer 13 by the prescribed time tPR through a NAND gate 12, an internal active signal ACTV is outputted from a NAND gate 74, and an activating signal VW of a word line is set from a control circuit 200.

COPYRIGHT: (C)2002,JPO

第1実施形態のワード線の制御回路



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-170398

(P2002-170398A)

(43) 公開日 平成14年6月14日 (2002.6.14)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 F 2 G 0 3 2
G 0 1 R 31/28		G 0 1 R 31/28	B 5 B 0 2 4
G 1 1 C 11/401			H 5 L 1 0 6
			V
		G 1 1 C 11/34	3 7 1 A

審査請求 未請求 請求項の数10 O L (全 16 頁)

(21) 出願番号 特願2000-365053(P2000-365053)

(22) 出願日 平成12年11月30日 (2000. 11. 30)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 菅本 博之

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 100098431

弁理士 山中 郁生 (外1名)

最終頁に続く

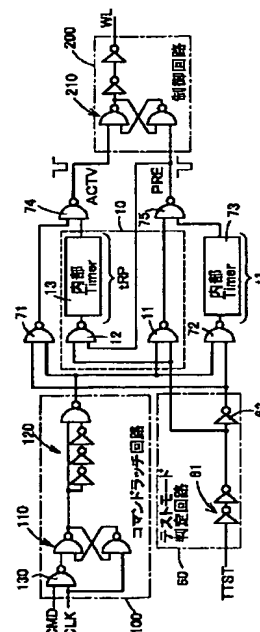
(54) 【発明の名称】 同期型半導体装置、及び試験システム

(57) 【要約】

【課題】 バーンイン・ストレス試験を効率的に実行するため、デバイスへの電氣的ストレスの印加効率を高めた同期型半導体装置、及び試験システムを提供すること。

【解決手段】 アクセスコマンド READ CMDが入力されたコマンドラッチ回路100は、外部クロック CLKに同期してローレベルパルスを出力し、テストモードシーケンス回路10のNANDゲート11及びNANDゲート75を介してローレベルの内部プリチャージ信号PREを出力して、制御回路200からワード線の活性化信号WLをリセットする。同時に、内部プリチャージ信号PREはNANDゲート12を介して内部タイマ13により所定遅延時間 t_{PR} の後、NANDゲート74からローレベルの内部アクティブ信号ACTVを出力して、制御回路200からワード線の活性化信号WLをセットする。

第1実施形態のワード線の制御回路



1

【特許請求の範囲】

【請求項 1】 活性状態と非活性状態とを交互に繰り返しながら前記活性状態における試験を実行する試験モードを有する同期型半導体装置において、同期信号における第 1 同期タイミングに同期して同期活性信号をラッチするラッチ手段と、前記活性状態に先立つ所定時間前に、非活性信号を検出する非活性検出手段と、前記非活性検出手段により検出した前記非活性信号により、前記非活性状態を指示する非活性手段とを備えることを特徴とする同期型半導体装置。

【請求項 2】 活性状態と非活性状態とを交互に繰り返しながら前記活性状態における試験を実行する試験モードを有する同期型半導体装置において、同期信号における第 1 同期タイミングに同期して同期非活性信号をラッチするラッチ手段と、前記非活性状態に引き続く所定時間経過後に、活性信号を検出する活性検出手段と、前記活性検出手段により検出した前記活性信号により、前記活性状態を指示する活性手段とを備えることを特徴とする同期型半導体装置。

【請求項 3】 前記非活性信号は、外部から入力される 1 あるいは 2 以上の第 1 非同期制御信号に基づき生成される信号であることを特徴とする請求項 1 に記載の同期型半導体装置。

【請求項 4】 前記非活性信号は、外部から入力され、前記同期信号における第 2 同期タイミングに同期した 1 あるいは 2 以上の第 1 同期制御信号に基づき生成される信号であることを特徴とする請求項 1 に記載の同期型半導体装置。

【請求項 5】 前記活性検出手段は、前記同期非活性信号自身あるいは前記同期非活性信号に基づき生成された信号から所定遅延時間を計測する遅延手段であり、前記活性信号は、前記遅延手段の入力信号であることを特徴とする請求項 2 に記載の同期型半導体装置。

【請求項 6】 前記同期非活性信号は、通常動作時における同期活性信号であることを特徴とする請求項 5 に記載の同期型半導体装置。

【請求項 7】 前記活性信号は、外部から入力される 1 あるいは 2 以上の第 2 非同期制御信号に基づき生成される信号であることを特徴とする請求項 2 に記載の同期型半導体装置。

【請求項 8】 前記活性信号は、外部から入力され、前記同期信号における第 2 同期タイミングに同期した 1 あるいは 2 以上の第 2 同期制御信号に基づき生成される信号であることを特徴とする請求項 2 に記載の同期型半導体装置。

【請求項 9】 活性状態と非活性状態とを交互に繰り返しながら前記活性状態における試験を実行する同期型半導体装置の試験システムにおいて、

2

同期信号を前記同期型半導体装置に供給する同期信号供給手段と、

前記同期信号における第 1 同期タイミングに同期して同期活性信号を前記同期型半導体装置に供給する同期活性信号供給手段と、

前記活性状態に先立つ所定時間前に、非活性信号を前記同期型半導体装置に供給する非活性信号供給手段とを備えることを特徴とする同期型半導体装置の試験システム。

【請求項 10】 活性状態と非活性状態とを交互に繰り返しながら前記活性状態における試験を実行する同期型半導体装置の試験システムにおいて、同期信号を前記同期型半導体装置に供給する同期信号供給手段と、

前記同期信号における第 1 同期タイミングに同期して同期非活性信号を前記同期型半導体装置に供給する同期非活性信号供給手段と、

前記非活性状態に引き続く所定時間経過後に、活性信号を前記同期型半導体装置に供給する活性信号供給手段とを備えることを特徴とする同期型半導体装置の試験システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同期型半導体装置、及び試験システムに関するものであり、特に、初期不良スクリーニングのためのバーンイン・ストレス試験を効率的に実行する機能を備えた同期型半導体装置、及び試験システムに関するものである。

【0002】

【従来の技術】半導体装置の酸化膜中に可動なイオン化不純物等が残存すると、実使用においてこの不純物等が熱的及び電気的なストレス等により移動して、耐圧劣化や線間ショート等の恒久不良が生じてしまう虞がある。そこで、このような潜在的不良品を製品の出荷前に初期不良品として排除するため、熱的及び電気的なストレスを印加してスクリーニングを実行する、いわゆるバーンイン・ストレス試験が行なわれている。

【0003】同期型半導体装置においても同様にバーンイン・ストレス試験が行なわれる。同期型半導体装置は、内部動作を外部クロックに同期して実行するため、デバイス内部に電気的ストレスを印加するためには、外部クロックに同期して動作設定することが必要となる。

【0004】例えば、同期型ダイナミックランダムアクセスメモリ（以下、SDRAMと記す）では、ワード線が選択され電源電圧以上に昇圧された電圧がMOSトランジスタのゲートに印加されている状態で、電気的ストレスが最も大きな状態となる。そして、デバイス全体に電気的ストレスを印加するためには、選択ワード線を順次変更していく必要がある。また近年、高速動作への要求から、1つのコマンド入力で一連のデータアクセス動

3

作を実行して高速なサイクル動作を可能とする次世代SDRAMも開発されているが、この製品についてもバーンイン・ストレス試験が必要であることは言うまでもない。

【0005】通常のSDRAMに関する従来技術として、図10にワード線の制御回路と、図11に動作波形を示す。この従来技術においては、制御コマンドCMDと、プリチャージコマンドPRE CMDを外部クロックCLKの立ち上がりエッジに同期して入力する構成である。コマンドラッチ回路100、100のラッチ回路110、110における一方の入力には外部クロックCLK、CLKが入力され、他方の入力にはコマンドCMD、PRE CMDと外部クロックCLK、CLKとを受けるNAND回路130、130の出力が入力される。そして、外部クロックCLK、CLKのハイレベル時に制御コマンドCMD、あるいはプリチャージコマンドPRE CMDがハイレベルであればこのコマンド状態をラッチする。後段のワンショット回路120、120では、ラッチ動作に伴うラッチ回路110、110の出力信号におけるローレベル遷移をトリガとして、奇数段のインバータ列（図10では、3段を例示）で設定されるパルス幅のロウレベルパルス信号を出力する。このパルス信号は内部アクティブ信号ACTV、あるいは内部プリチャージ信号PREであり、外部クロックCLK、CLKの立ち上がりエッジに同期して交互に制御回路200内のラッチ回路210のセット、リセットを繰り返してワード線の活性化信号WLのセット、リセットを行なう。そしてリセット時には、次ワード線の選択が行なわれることによりデバイス全体に順次電氣的ストレスを印加していく。

【0006】また、次世代SDRAMに関する従来技術として、図12にワード線の制御回路と、図13に動作波形を示す。この従来技術においては、図10におけるコマンドラッチ回路100、100と同一の回路ブロック100を備えており、外部クロックCLKの立ち上がりエッジに同期して制御コマンドCMDが入力される。そして、後段のワンショット回路120により、所定のロウレベルのパルス信号が出力される。このロウレベルパルス信号が内部アクティブ信号ACTVであり、制御回路200に入力されワード線の活性化信号WLを出力する。

【0007】内部アクティブ信号ACTVは内部タイマ300にも入力される。内部タイマ300は、図12に示すように例えば偶数段のインバータ列で構成されるものであり、所定時間t1を計測するものであれば他の構成でも構わない。所定時間t1の経過後、内部プリチャージ信号PREとしてロウレベルのパルス信号を出力し、制御回路200内のラッチ回路210をリセットしてワード線の活性化信号WLを解除する。次世代SDRAMでは、1つのコマンド入力で一連のデータアクセス

4

動作を実行するため、内部アクティブ信号ACTVから内部タイマ300で設定される所定時間t1の経過後、自動的に内部プリチャージ信号PREを発行する構成となっている。

【0008】ワード線の活性化信号WLにより、図示しない回路により選択されたロウアドレスに該当するワード線が活性化され、内部タイマ300により設定された所定時間t1の間、同期型半導体装置内部に電氣的ストレスを印加する。所定時間t1の経過後、ワード線の活性化は解除され次のワード線を設定して外部クロックCLKの立ち上がりエッジを待って同様の動作を繰り返して、デバイス全体に順次、電氣的ストレスを印加していく。

【0009】

【発明が解決しようとする課題】しかしながら、前記通常のSDRAMについては、ワード線のアクティブ期間とプリチャージ期間とが、外部クロックCLKのサイクル毎に交互に繰り返される。従って、ワード線が活性化されデバイスに電氣的ストレスが印加される期間は実試験時間の半分に減ってしまい、それ以上の割合で効率的に電氣的ストレスを印加して試験を実施することができず、試験時間の短縮化を図れないため問題である。

【0010】また、前記次世代SDRAMについては、高速動作の要請から高周波数の外部クロックCLKに対して動作させる必要がある。そこで、内部タイマ300により計測される所定時間t1は、データアクセス動作の実力に応じた短い時間に設定される。一方、バーンイン・ストレス試験においては、試験環境等の制約から最高のパフォーマンスで動作させることはできず、試験時の外部クロックCLKの周波数は同期型半導体装置の能力に対して余裕があることが一般的である。従って、ワード線が活性化される所定時間t1のデューティは小さなものとなってしまい効率的な電氣的なストレス印加ができず問題である。

【0011】本発明は前記従来技術の問題点を解消するためになされたものであり、バーンイン・ストレス試験を効率的に実行するため、デバイスへの電氣的ストレスの印加効率を高めた同期型半導体装置、及び試験システムを提供することを目的とする。

【0012】

【課題を解決するための手段】前記目的を達成するために、請求項1に係る同期型半導体装置は、活性状態と非活性状態とを交互に繰り返して活性状態での試験を実行する同期型半導体装置において、同期信号の第1同期タイミングに同期して同期活性信号をラッチするラッチ手段と、活性状態の所定時間前に、非活性信号を検出する非活性検出手段と、検出された非活性信号により非活性状態を指示する非活性手段とを備えることを特徴とする。

【0013】請求項1の同期型半導体装置では、非活性

5

状態との間で動作状態を交互に繰り返しながら活性状態での試験を実行する際、活性状態の所定時間前に、非活性検出手段により非活性信号を検出して、非活性手段により非活性状態の指示を行なった後、ラッチ手段により同期信号の第1同期タイミングに同期して同期活性信号をラッチして活性状態に移行する。

【0014】これにより、活性状態を行う同期信号の第1同期タイミングの所定時間前に非活性状態を設定することができるので、同期型半導体装置の通常動作時における同期信号に同期する同期活性信号を利用しながら、試験時における活性状態の期間を任意に設定することができ、試験において必要となる活性状態を効率よく設定することができる。そして、活性状態の時間割合を高めることができるので、試験時間の短縮化を図ることができる。

【0015】また、請求項2に係る同期型半導体装置は、活性状態と非活性状態とを交互に繰り返して活性状態での試験を実行する同期型半導体装置において、同期信号の第1同期タイミングに同期して同期非活性信号をラッチするラッチ手段と、非活性状態の所定時間経過後に、活性信号を検出する活性検出手段と、検出された活性信号により活性状態を指示する活性手段とを備えることを特徴とする。

【0016】請求項2の同期型半導体装置では、非活性状態との間で動作状態を交互に繰り返しながら活性状態での試験を実行する際、ラッチ手段により同期信号の第1同期タイミングに同期して同期非活性信号をラッチして非活性状態に移行した後、所定時間経過後に、活性検出手段により活性信号を検出して、活性手段により活性状態に移行する。

【0017】これにより、非活性状態に移行させる同期信号の第1同期タイミングの所定時間後に活性状態を設定することができるので、同期型半導体装置の通常動作時における同期信号に同期する同期非活性信号を利用しながら、試験時における活性状態の期間を任意に設定することができ、試験において必要となる活性状態を効率よく設定することができる。そして、活性状態の時間割合を高めることができるので、試験時間の短縮化を図ることができる。

【0018】また、請求項3に係る同期型半導体装置は、請求項1に記載の同期型半導体装置において、非活性信号は、外部から入力される1あるいは2以上の第1非同期制御信号に基づいた信号であることを特徴とする。

【0019】請求項3の同期型半導体装置では、第1非同期制御信号は、同期型半導体装置に備えられた専用外部端子、あるいは既存の外部端子への入力信号であり、これらの入力信号に基づき同期型半導体装置内部で非活性信号が生成される。

【0020】これにより、非活性状態が、専用外部端

6

子、あるいは既存外部端子への外部からの入力信号に基づき任意のタイミングで設定できるので、活性状態に移行させる同期信号の第1同期タイミングに先立つ任意の所定時間前に非活性状態を設定することができ、同期型半導体装置の通常動作時における同期信号に同期する同期活性信号を利用しながら、試験時における活性状態の期間を任意に設定することができ、試験において必要となる活性状態を効率よく設定することができる。そして、活性状態の時間割合を高めることができるので、試験時間の短縮化を図ることができる。また、第1非同期制御信号の入力タイミングを試験毎、あるいは試験期間中に任意に調整することができ、試験効率を常に最適化することができる。

【0021】また、請求項4に係る同期型半導体装置は、請求項1に記載の同期型半導体装置において、非活性信号は、外部から入力され、同期信号における第2同期タイミングに同期した1あるいは2以上の第1同期制御信号に基づいた信号であることを特徴とする。

【0022】請求項4の同期型半導体装置では、第1同期制御信号は、同期型半導体装置に備えられた専用外部端子、あるいは既存の外部端子への入力信号であり、同期信号における第2同期タイミングに同期して同期型半導体装置内部に取り込まれたこれらの入力信号に基づき非活性信号が生成される。

【0023】これにより、非活性状態が、専用外部端子、あるいは既存外部端子への外部からの入力信号に基づき設定されると共に、同期型半導体装置への取り込みが、通常使用時では使用していない同期信号の第2同期タイミングに同期して行なわれ、同期信号における第1同期タイミングと第2同期タイミングとの関係を任意に設定することができるので、活性状態に移行させる同期信号の第1同期タイミングに先立つ任意の所定時間前に非活性状態を設定することができ、同期型半導体装置の通常動作時における同期信号に同期する同期活性信号を利用しながら、試験時における活性状態の期間を任意に設定することができ、試験において必要となる活性状態を効率よく設定することができる。そして、活性状態の時間割合を高めることができるので、試験時間の短縮化を図ることができる。また、同期信号の第1同期タイミングに対する第2同期タイミングと第1同期制御信号との入力タイミングを試験毎、あるいは試験期間中に任意に調整することができ、試験効率を常に最適化することができる。

【0024】また、請求項5に係る同期型半導体装置は、請求項2に記載の同期型半導体装置において、活性検出手段は、同期非活性信号自身あるいは同期非活性信号に基づき生成された信号から所定遅延時間を計測する遅延手段であり、活性信号は、遅延手段の入力信号であることを特徴とする。

【0025】請求項5の同期型半導体装置では、活性信

10

20

30

40

50

7

号は、同期非活性信号自身あるいは同期非活性信号に基づき内部で生成され、遅延手段に入力されて所定時間遅延させて活性手段による活性状態の指示を実行する。

【0026】これにより、同期非活性信号による非活性状態の所定時間後に、活性状態を設定する信号を、同期型半導体装置内部において同期非活性信号自身あるいは同期非活性信号に基づいて生成することができるので、同期型半導体装置の通常動作時における同期信号に同期する同期非活性信号の入力により、試験時における活性状態を所定期間に設定することができ、試験において必要となる活性状態を効率よく設定することができる。そして、活性状態の時間割合を高めることができるので、試験時間の短縮化を図ることができる。

【0027】また、請求項6に係る同期型半導体装置は、請求項5に記載の同期型半導体装置において、同期非活性信号は、通常動作時における同期活性信号であることを特徴とする。

【0028】請求項6の同期型半導体装置では、通常動作時における同期活性信号が試験時に入力されると、活性動作に先立ち所定時間の非活性動作状態が生成される。

【0029】これにより、試験時においても通常動作時における場合と同様の同期活性信号を入力してやればよく、試験時と通常動作時との間での制御信号が共通化され、試験時の取り扱いが簡便となる。また、試験時においてのみ入力すべき制御信号がないので、試験専用回路や試験専用外部端子を設ける必要がなく、同期型半導体装置における試験用オーバーヘッドを最小限とすることができる。

【0030】また、請求項7に係る同期型半導体装置は、請求項2に記載の同期型半導体装置において、活性信号は、外部から入力される1あるいは2以上の第2非同期制御信号に基づいた信号であることを特徴とする。

【0031】請求項7の同期型半導体装置では、第2非同期制御信号は、同期型半導体装置に備えられた専用外部端子、あるいは既存の外部端子への入力信号であり、これらの入力信号に基づき同期型半導体装置内部で活性信号が生成される。

【0032】これにより、活性状態が、専用外部端子、あるいは既存外部端子への外部からの入力信号に基づき任意のタイミングで設定できるので、非活性状態に移行させる同期信号の第1同期タイミングに引き続く任意の所定時間後に活性状態を設定することができ、同期型半導体装置の通常動作時における同期信号に同期する同期非活性信号を利用しながら、試験時における活性状態の期間を任意に設定することができ、試験において必要となる活性状態を効率よく設定することができる。そして、活性状態の時間割合を高めることができるので、試験時間の短縮化を図ることができる。また、第2非同期制御信号の入力タイミングを試験毎、あるいは試験期間

8

中に任意に調整することができ、試験効率を常に最適化することができる。

【0033】また、請求項8に係る同期型半導体装置は、請求項2に記載の同期型半導体装置において、活性信号は、外部から入力され、同期信号における第2同期タイミングに同期した1あるいは2以上の第2同期制御信号に基づいた信号であることを特徴とする。

【0034】請求項8の同期型半導体装置では、第2同期制御信号は、同期型半導体装置に備えられた専用外部端子、あるいは既存の外部端子への入力信号であり、同期信号における第2同期タイミングに同期して同期型半導体装置内部に取り込まれたこれらの入力信号に基づき活性信号が生成される。

【0035】これにより、活性状態が、専用外部端子、あるいは既存外部端子への外部からの入力信号に基づき設定されると共に、同期型半導体装置への取り込みが、通常使用時では使用していない同期信号の第2同期タイミングに同期して行なわれ、同期信号における第1同期タイミングと第2同期タイミングとの関係を任意に設定することができるので、非活性状態に移行させる同期信号の第1同期タイミングに引き続く任意の所定時間後に活性状態を設定することができ、同期型半導体装置の通常動作時における同期信号に同期する同期非活性信号を利用しながら、試験時における活性状態の期間を任意に設定することができ、試験において必要となる活性状態を効率よく設定することができる。そして、活性状態の時間割合を高めることができるので、試験時間の短縮化を図ることができる。また、同期信号の第1同期タイミングに対する第2同期タイミングと第2同期制御信号との入力タイミングを試験毎、あるいは試験期間中に任意に調整することができ、試験効率を常に最適化することができる。

【0036】また、請求項9に係る同期型半導体装置の試験システムは、活性状態と非活性状態とを交互に繰り返して活性状態での試験を実行する同期型半導体装置の試験システムにおいて、同期型半導体装置に同期信号を供給する同期信号供給手段と、同期信号の第1同期タイミングに同期して同期活性信号を供給する同期活性信号供給手段と、活性状態の所定時間前に、非活性信号を供給する非活性信号供給手段とを備えることを特徴とする。

【0037】請求項9の同期型半導体装置の試験システムでは、非活性状態との間で動作状態を交互に繰り返しながら活性状態での試験を実行する際、同期信号供給手段により同期信号を供給すると共に、活性状態の所定時間前に非活性信号供給手段により非活性信号を供給し、その後、同期活性信号供給手段により同期信号の第1同期タイミングに同期して同期活性信号を供給する。

【0038】これにより、活性状態を行わせるための同期信号の第1同期タイミングから所定時間前に非活性信

号を供給することができるので、同期型半導体装置の通常動作時における同期信号及びこの信号に同期する同期活性信号を供給しながら、試験時における同期型半導体装置の活性状態の期間を任意に設定することができ、試験において必要となる活性状態の時間割合を高めて試験時間の短縮化を図ることができる試験システムを提供することができる。

【0039】また、請求項10に係る同期型半導体装置の試験システムは、活性状態と非活性状態とを交互に繰り返して活性状態での試験を実行する同期型半導体装置の試験システムにおいて、同期型半導体装置に同期信号を供給する同期信号供給手段と、同期信号の第1同期タイミングに同期して同期非活性信号を供給する同期非活性信号供給手段と、非活性状態の所定時間後に、活性信号を供給する活性信号供給手段とを備えることを特徴とする。

【0040】請求項10の同期型半導体装置の試験システムでは、非活性状態との間で動作状態を交互に繰り返しながら活性状態での試験を実行する際、同期信号供給手段により同期信号を供給すると共に、同期非活性信号供給手段により同期信号の第1同期タイミングに同期して同期非活性信号を供給し、その所定時間後に活性信号供給手段により活性信号を供給する。

【0041】これにより、非活性状態を行わせるための同期信号の第1同期タイミングからの所定時間後に活性信号を供給することができるので、同期型半導体装置の通常動作時における同期信号及びこの信号に同期する同期非活性信号を供給しながら、試験時における同期型半導体装置の活性状態の期間を任意に設定することができ、試験において必要となる活性状態の時間割合を高めて試験時間の短縮化を図ることができる試験システムを提供することができる。

【0042】また、請求項9に記載の同期型半導体装置の試験システムにより、請求項1、3、又は4の少なくとも何れか1に記載の同期型半導体装置を、活性状態と非活性状態とを交互に繰り返しながら活性状態において試験すれば、同期型半導体装置の通常動作時における同期信号及びこの信号に同期する同期活性信号を供給しながら、試験時において非活性信号を任意のタイミングで供給して活性状態の期間を任意に設定することができ、試験において必要となる活性状態の時間割合を高めて試験時間の短縮化を図ることができる試験システムを提供することができる。

【0043】また、請求項10に記載の同期型半導体装置の試験システムにより、請求項2、5乃至8の少なくとも何れか1に記載の同期型半導体装置を、活性状態と非活性状態とを交互に繰り返しながら活性状態において試験すれば、同期型半導体装置の通常動作時における同期信号及びこの信号に同期する同期非活性信号を供給しながら、試験時において活性信号を任意のタイミングで

供給して活性状態の期間を任意に設定することができ、試験において必要となる活性状態の時間割合を高めて試験時間の短縮化を図ることができる試験システムを提供することができる。

【0044】また、活性状態と非活性状態とを交互に繰り返して活性状態での試験を実行する際、活性状態の所定時間前に、非活性信号により非活性状態に移行した後、同期信号の第1同期タイミングに同期して同期活性信号をラッチして活性状態に移行する同期型半導体装置の試験方法によれば、非活性信号のタイミングを任意に設定することができるので、同期型半導体装置の通常動作時における同期信号に同期する同期活性信号を利用しながら、試験において必要となる活性状態の時間割合を高めることができ、試験時間の短縮化を図ることができる。

【0045】また、活性状態と非活性状態とを交互に繰り返して活性状態での試験を実行する際、同期信号における第1同期タイミングに同期した同期非活性信号により非活性状態に移行した所定時間後に、活性信号により活性状態に移行する同期型半導体装置の試験方法によれば、活性信号のタイミングを任意に設定することができるので、同期型半導体装置の通常動作時における同期信号に同期する同期非活性信号を利用しながら、試験において必要となる活性状態の時間割合を高めることができ、試験時間の短縮化を図ることができる。

【0046】

【発明の実施の形態】以下、本発明の同期型半導体装置について具体化した第1乃至第3実施形態を図1乃至図9に基づき図面を参照しつつ詳細に説明する。本実施形態では、1コマンド入力で一連のデータアクセス動作を実行する次世代SDRAMがバーンイン・ストレス試験を受ける場合を例にとり説明する。図1は、第1実施形態の回路ブロック図である。図2は、第1実施形態のワード線の制御回路を示す回路図である。図3は、第1実施形態の動作波形を示す波形図である。図4は、第2実施形態の回路ブロック図である。図5は、第2実施形態のワード線の制御回路を示す回路図である。図6は、第2実施形態の動作波形を示す波形図である。図7は、第3実施形態の回路ブロック図である。図8は、第3実施形態のワード線の制御回路を示す回路図である。図9は、第3実施形態の動作波形を示す波形図である。尚、従来技術における構成要素と同一の構成要素については同一の番号を付し、ここでの説明は省略する。

【0047】図1に示す第1実施形態の回路ブロック構成では、次世代SDRAMにおいて、活性状態と非活性状態とを1サイクルとしてアクセス動作を行う回路として、テストモードシーケンス回路10とユーザーモードシーケンス回路400との2系統の回路がある。ここで活性状態とは、メモリセルへのアクセスのために昇圧電圧が印加されたワード線が、メモリセルへのスイッチ用

11

MOSトランジスタのゲートに入力される期間を示し、この時のゲート酸化膜中の電界がSDRAMにおいて最も厳しい電氣的ストレス状態となることをいう。また非活性状態とは、メモリアクセス後のビット線等のプリチャージ期間を示し、この時同時に、ロウアドレスを切り替えて次活性状態における選択ワード線の設定動作を行う期間である。

【0048】テストモードシーケンス回路10とユーザーモードシーケンス回路400との2系統の回路は、それぞれバーンイン・ストレス試験時、及び通常の使用時でのアクセス動作において動作する回路である。次世代SDRAMでは、通常動作時での高速アクセスを実現するため、ユーザーモードシーケンス回路400でのサイクルタイムを数十nsecで動作させる必要がある。これに対して、バーンイン・ストレス試験は、高温環境で行なわれ同時に多数の同期型半導体装置を試験する等の制約から、テストモードシーケンス回路10でのサイクルタイムを短縮することはできない。

【0049】従って、ユーザーモードシーケンス回路400では、アクセス動作に必要なACTV回路を先行して動作させ、アクセス動作の完了後にプリチャージ動作を行うPRE回路を動作させることにより、サイクルタイムの短縮化を図っている。一方、テストモードシーケンス回路10では、効率的なバーンイン・ストレス試験のため活性期間の時間割合を大きくする必要から、必要最小限の非活性期間としてプリチャージ動作を行うPRE回路を動作させた後、活性状態であるアクセス動作を行うACTV回路を動作させる。

【0050】テストモードシーケンス回路10とユーザーモードシーケンス回路400との切替は、テストモード入力信号TTSTが入力されているテストモード判定回路60により行なわれる。そして、テストモード判定回路60の設定に基づき、外部クロックCLKに同期してコマンドラッチ回路100にラッチされた制御コマンドCMDに応じて、テストモードシーケンス回路10、あるいはユーザーモードシーケンス回路400が動作する。ここで、制御コマンドCMDは、外部端子から入力された信号自身、又は1あるいは2以上の外部端子から入力された信号に基づき内部コマンドデコーダ等で変換されたコマンドである。

【0051】図2に示す第1実施形態における具体的なワード線の制御回路例では、テストモードシーケンス回路10は、2つのNANDゲート11、12とNANDゲート12の出力信号が入力される内部タイマ13から構成されている。また、ユーザーモードシーケンス回路400も同様に、2つのNANDゲート71、72とNANDゲート72の出力信号が入力される内部タイマ73から構成されている。そして、テストモードシーケンス回路10とユーザーモードシーケンス回路400との出力信号は、アクティブ信号及びプリチャージ信号毎に

12

それぞれNANDゲート74、75でまとめられている。NANDゲート74の出力信号は、内部アクティブ信号ACTVとして、またNANDゲート75の出力信号は、内部プリチャージ信号PREとして、次段の制御回路200に入力され、ワード線の活性化信号WLのセット・リセットを行なう。

【0052】一方、テストモード判定回路60におけるバッファ部61の出力信号であるテストモード入力信号TTSTの同相信号がNANDゲート11、12に入力され、バーンイン・ストレス試験時にテストモードシーケンス回路10を動作させる。また、テストモード判定回路60における反転部62を介してテストモード入力信号TTSTの逆相信号がNANDゲート71、72に入力され、通常動作時にユーザーモードシーケンス回路400を動作させる。更に、コマンドラッチ回路100により外部クロックCLKに同期してラッチされた制御コマンドCMDに基づくローレベルのパルス信号がNANDゲート11、71、72に入力されている。また、NANDゲート12には、内部プリチャージ信号PREが入力されている。

【0053】図3の動作波形に基づき、図2の制御回路の動作を説明する。図3は、バーンイン・ストレス試験時の動作波形を示す。即ち、テストモードシーケンス回路10が動作している場合である。制御コマンドCMDとして、アクセスコマンドREAD CMDをコマンドラッチ回路100が受け付けると、コマンドラッチ回路100は外部クロックCLKに同期してローレベルパルスを出力する。このパルス信号は、NANDゲート11、71、72に入力されるが、テストモード入力信号TTSTが活性となっている（ハイレベル）ことから、ローレベルパルスを受け付けられるのはテストモードシーケンス回路10のNANDゲート11である。このローレベルパルスはNANDゲート11で反転され、ハイレベルのパルスとしてNANDゲート75に入力される。テストモード判定回路の反転部62の出力信号がローレベルで固定されているため、NANDゲート72の出力信号及び内部タイマ73の出力信号は共にハイレベルに固定されている。従って、NANDゲート75は、ハイレベルパルスを反転してローレベルの内部プリチャージ信号PREを出力し、制御回路200を介してワード線の活性化信号WLをリセットする。

【0054】同時に、内部プリチャージ信号PREはNANDゲート12に入力され、NANDゲート12は出力信号としてハイレベル信号を出力する。このハイレベル信号は、内部タイマ13によりtRPの遅延の後、NANDゲート74に入力される。NANDゲートの他方の入力信号レベルがハイレベルであるため、NANDゲート74の出力信号はローレベルに反転する。即ち、内部アクティブ信号ACTVを出力し、制御回路200を介してワード線の活性化信号WLをセットする。内部タ

13

イマ13の計測時間 t_{RP} を適宜に設定してやれば、必要最小限のプリチャージ期間の後、ワード線を活性化することができ、バーイン・ストレス試験において、電氣的ストレスを最大限の時間割合で印加することができ、効率的にバーイン・ストレス試験を実施することができる。

【0055】ここで、コマンドラッチ回路100は、請求項2におけるラッチ手段であり、内部タイマ13は、請求項2における活性検出手段、又は請求項5における遅延手段であり、NANDゲート74は、請求項2における活性手段である。また、外部クロックCLKが、請求項2における同期信号であり、その立ち上がりエッジが、請求項2における第1同期タイミングである。更に、制御コマンドCMDとしてのアクセスコマンドREAD CMDが、請求項2における同期非活性信号であり、又は請求項6における通常動作時における同期活性信号となっている。また、NANDゲート12の出力信号が、請求項2における活性信号であり、又は請求項5における遅延手段の入力信号となっている。

【0056】尚、通常動作時においては、テストモード入力信号TSTがローレベルで非活性となっているので、アクセスコマンドREAD CMDに基づくローレベルパルスは、ユーザーモードシーケンス回路400に受け入れられる。即ち、ローレベルパルスが入力されたNANDゲート71はハイレベルパルスを出力し、NANDゲート74を介して内部アクティブ信号ACTVを出力してワード線の活性化信号WLをセットする。一方、ローレベルパルスはNANDゲート72にも同時に入力されるので、NANDゲート72の出力にもハイレベルパルスが出力され、内部タイマ73を介して t_1 の遅延の後、内部プリチャージ信号PREを出力してワード線の活性化信号WLをリセットする。デバイス内部にて t_1 の時間を計測するので、1つのアクセスコマンドREAD CMDで1サイクルの動作が行われることとなる。

【0057】次に、第2実施形態について説明する。図4に示す回路ブロック図において、コマンドラッチ回路100、テストモード判定回路60、ユーザーモードシーケンス回路410については第1実施形態における回路と同様の回路構成である。第2実施形態においては、新たにプリチャージ制御回路30を備えており、バーイン・ストレス試験時にプリチャージ制御信号TPREを入力することにより、テストモードシーケンス回路20にプリチャージ動作を行わせる。

【0058】図5に示す第2実施形態における具体的なワード線の制御回路例では、テストモードシーケンス回路20は1つのNANDゲート21から構成されている。また、ユーザーモードシーケンス回路410は、1つのNANDゲート72とその出力信号が入力される内部タイマ73から構成されている。そして、テストモ

14

ドシーケンス回路20とユーザーモードシーケンス回路410との出力信号は、プリチャージ信号についてNANDゲート75でまとめられ、内部プリチャージ信号PREとして制御回路200に入力されている。尚、アクティブ信号については、コマンドラッチ回路100の出力信号が直接内部アクティブ信号ACTVとして制御回路200に入力されている。

【0059】テストモード判定回路60のバッファ部61の出力信号は、テストモード入力信号TSTの同相信号としてNANDゲート21に入力され、バーイン・ストレス試験時にテストモードシーケンス回路20を動作させる。また、テストモード判定回路60の反転部62の出力信号は、テストモード入力信号TSTの逆相信号としてNANDゲート72に入力され、通常使用時にユーザーモードシーケンス回路410を動作させる。更に、コマンドラッチ回路100の出力信号である制御コマンドCMDに基づくローレベルパルス信号は、内部アクティブ信号ACTVとして直接制御回路200に入力されると共に、NANDゲート72に入力されている。また、NANDゲート21には、プリチャージ制御回路30を介してプリチャージ制御信号TPREが入力されている。

【0060】図6の動作波形に基づき、図5の制御回路の動作を説明する。図6は、バーイン・ストレス試験時の動作波形を示す。即ち、テストモードシーケンス回路20が動作している場合である。制御コマンドCMDとしてのアクセスコマンドREAD CMDに先立ち入力されるローレベルパルスであるプリチャージ制御信号TPREは、NANDゲート21、及びNANDゲート75を介して内部プリチャージ信号PREを生成し、制御回路200を介してワード線の活性化信号WLをリセットする。

【0061】外部クロックCLKに同期したアクセスコマンドREAD CMDは、プリチャージ制御信号TPREから所定時間遅れてコマンドラッチ回路100に入力され、内部アクティブ信号ACTVであるローレベルパルス信号として、直接制御回路200に入力されてワード線の活性化信号WLをセットする。

【0062】即ち、プリチャージ制御信号TPREを、アクセスコマンドREAD CMDの同期信号である外部クロックCLKに対して、適宜の所定時間だけ先行させて設定してやれば、内部プリチャージ信号PREによる制御回路200を介してのワード線の活性化信号WLのリセット期間を、必要最小限のプリチャージ期間として、その後の期間をワード線活性化期間とすることができ、バーイン・ストレス試験において電氣的ストレスを最大限の時間割合で印加して効率的にバーイン・ストレス試験を実施することができる。

【0063】ここで、コマンドラッチ回路100は、請求項1におけるラッチ手段であり、プリチャージ制御回

15

路30及びNANDゲート21は、請求項1における非活性検出手段であり、NANDゲート75は、請求項1における非活性手段である。また、外部クロックCLKが、請求項1における同期信号であり、その立ち上がりエッジが、請求項1における第1同期タイミングである。更に、制御コマンドCMDとしてのアクセスコマンドREAD CMDが、請求項1における同期活性信号である。また、プリチャージ制御信号TPREが、請求項1における非活性信号であり、又は請求項3における第1非同期制御信号となっている。

【0064】尚、通常使用時においては、テストモード入力信号TSTがローレベルで非活性となっているので、テストモードシーケンス回路20のNANDゲート21の出力はハイレベルで固定され、アクセスコマンドREAD CMDに基づくローレベルパルスはユーザーモードシーケンス回路410に受け入れられる。即ち、ローレベルパルスは、直接内部アクティブ信号ACTVとしてワード線の活性化信号WLをセットする。同時にNANDゲート72にも入力され、その出力信号であるハイレベルパルスは内部タイマ73を介してt1の遅延の後、内部プリチャージ信号PREを出力してワード線の活性化信号WLをリセットする。デバイス内部にてt1の時間を計測するので、1つのアクセスコマンドREAD CMDで1サイクルの動作が行われることとなる。

【0065】次に、第3実施形態について説明する。図7に示す回路ブロック図において、コマンドラッチ回路100、テストモード判定回路60、ユーザーモードシーケンス回路410、及びテストモードシーケンス回路20については第2実施形態における回路と同様の回路構成である。第3実施形態においては、プリチャージ制御回路30に代えて、新たにCLK立ち下がり検出回路40及びプリチャージ制御回路50を備えており、バーイン・ストレス試験時に、外部クロックCLKの立ち下がりに同期してプリチャージ制御信号TXPREを入力することにより、テストモードシーケンス回路20にプリチャージ動作を行わせる。

【0066】図8に示す第3実施形態における具体的なワード線の制御回路例では、第2実施形態と同様に、テストモード判定回路60のバッファ部61の出力信号は、NANDゲート21に入力されバーイン・ストレス試験時にテストモードシーケンス回路20を動作させ、テストモード判定回路60の反転部62の出力信号は、NANDゲート72に入力され、通常使用時にユーザーモードシーケンス回路410を動作させる。更に、コマンドラッチ回路100のローレベルパルス信号は、内部アクティブ信号ACTVとして直接制御回路200に入力されると共に、NANDゲート72に入力されている。また、NANDゲート21には、プリチャージ制御回路50の出力信号が入力されている。

16

【0067】プリチャージ制御回路50の出力信号は、外部クロックCLKの立ち下がりに同期してプリチャージ制御信号TXPREを取り込む回路であり、プリチャージ制御信号TXPREの反転信号とCLK立ち下がり検出回路40の出力信号とのNANDゲート出力を出力信号としている。CLK立ち下がり検出回路40は、外部クロックCLKの立ち下がりタイミングに同期して、所定幅（図8の例では、インバータゲート3段分の遅延時間）のハイレベルパルスを出力する。従って、このハイレベルパルス期間に、ローレベルのプリチャージ制御信号TXPREが入力された場合に、プリチャージ制御回路50は、ローレベルパルスを出力する。

【0068】図9の動作波形に基づき、図8の制御回路の動作を説明する。図9は、バーイン・ストレス試験時の動作波形である。制御コマンドCMDとしてのアクセスコマンドREAD CMDは外部クロックCLKの立ち上がりエッジに同期して入力されるが、これに先立つ外部クロックCLKの立ち下がりエッジに同期してプリチャージ制御信号TXPREのローレベル信号を取り込むプリチャージ制御回路50は、NANDゲート21、及びNANDゲート75を介して内部プリチャージ信号PREを出力し、制御回路200を介してワード線の活性化信号WLをリセットする。

【0069】その後の外部クロックCLKの立ち上がりエッジに同期して、アクセスコマンドREAD CMDがプリチャージ制御信号TXPREから所定時間遅れてコマンドラッチ回路100に入力され、内部アクティブ信号ACTVであるローレベルパルス信号を生成して、直接制御回路200に入力されてワード線の活性化信号WLをセットする。

【0070】即ち、プリチャージ制御信号TXPREを外部クロックCLKの立ち下がりエッジに同期して入力するので、アクセスコマンドREAD CMDを同期させる外部クロック信号CLKの立ち上がりエッジに対して、この立ち下がりエッジのタイミングを適宜の所定時間だけ先行させて設定してやれば、内部プリチャージ信号PREによる制御回路200によるワード線の活性化信号WLのリセット期間を必要最小限のプリチャージ期間として、その後の期間をワード線活性化期間とすることができ、バーイン・ストレス試験において電氣的ストレスを最大限の時間割合で印加して効率的にバーイン・ストレス試験を実施することができる。

【0071】ここで、コマンドラッチ回路100は、請求項1におけるラッチ手段であり、CLK立ち下がり検出手段40、プリチャージ制御回路50及びNANDゲート21は、請求項1における非活性検出手段であり、NANDゲート75は、請求項1における非活性手段である。また、外部クロックCLKが、請求項1における同期信号であり、その立ち上がりエッジが、請求項1における第1同期タイミングである。更に、制御コマンド

17

CMDとしてのアクセスコマンドREAD CMDが、請求項1における同期活性信号である。また、外部クロックCLKの立ち下がりエッジが、請求項4における第2同期タイミングであり、プリチャージ制御信号TXPREが、請求項1における非活性信号であり、又は請求項4における第1同期制御信号となっている。

【0072】尚、通常使用時には、第2実施形態と同様の動作をし、デバイス内部にてt1の時間を計測するので、1つのアクセスコマンドREAD CMDで1サイクルの動作が行われることとなる。

【0073】上記第1乃至第3実施形態における同期型半導体装置のバーンイン・ストレス試験を実施するに当たっては、同時に多数の同期型半導体装置を試験できることが効率的であるため、試験基板には多数の同期型半導体装置を搭載できるようにすることが一般的である。また、温度や湿度等の試験環境を設定する必要から、試験基板は恒温槽等の環境試験槽に収納されていることが一般的である。そのため、試験に係る同期型半導体装置個々に、外部クロックCLK、制御コマンドCMDやプリチャージコマンドPRE CMD等の各種コマンド、プリチャージ制御信号TPRE、TXPREやテストモード入力信号TTST等の各種制御信号を供給する必要がある、更に、信号供給装置から試験槽内までの配線負荷等の影響等を考慮しなければならない。従って、第1乃至第3実施形態に係る同期型半導体装置についての試験システムでは、外部クロックCLK、制御コマンドCMDやプリチャージコマンドPRE CMD等の各種コマンド、プリチャージ制御信号TPRE、TXPREやテストモード入力信号TTST等の各種制御信号を適宜なタイミングで供給することができると共に、試験基板上に多数配置された同期型半導体装置のそれぞれに信号を確実に供給することができるドライバを有する試験システムを使用する必要がある。即ち、ドライバとして十分な電流供給能力を有するハイ及びロー2値の出力が可能である出力バッファや、更にハイインピーダンス状態を有する3値の出力バッファを備えており、駆動レベル及び駆動タイミングが相互に制御された試験システムであり、予め入力され記憶された外部クロックCLKの周波数、適合したプリチャージ期間に合致したプリチャージ制御信号TPRE、TXPREの入力タイミングや、外部クロックCLKのクロックデューティ比に基づき、あるいは他の設定手段からの指令に基づき、所定の制御信号を出力することができる。

【0074】ここで、第1乃至第3実施形態における外部クロックCLKは、請求項9、又は10における同期信号供給手段から供給される同期信号であり、その立ち上がりエッジが、請求項9、又は10における第1同期タイミングである。

【0075】第1実施形態において、制御コマンドCMDであるアクセスコマンドREAD CMDが、請求項1

18

0における同期非活性信号供給手段から供給される同期非活性信号である。

【0076】第2実施形態において、制御コマンドCMDであるアクセスコマンドREAD CMDが、請求項9における同期活性信号供給手段から供給される同期活性信号であり、また、プリチャージ制御信号TPREが、請求項9における非活性信号供給手段から供給される非活性信号である。

【0077】第3実施形態において、制御コマンドCMDであるアクセスコマンドREAD CMDが、請求項9における同期活性信号供給手段から供給される同期活性信号であり、また、プリチャージ制御信号TXPREが、請求項9における非活性信号供給手段から供給される非活性信号である。

【0078】以上詳細に説明したとおり、第1実施形態に係る同期型半導体装置では、バーンイン・ストレス試験時に、効率的に試験を実行するため活性期間の時間割合を大きくする必要から、テストモードシーケンス回路10において、必要最小限の非活性期間としてプリチャージ動作を行うPRE回路を動作させた後、活性状態であるアクセス動作を行うACTV回路を動作させる。このときの必要最小限の非活性期間を内部タイマ13の計測時間tPRを適宜に設定することにより実行することができるので、必要最小限のプリチャージ期間の後、ワード線を活性化することができ、バーンイン・ストレス試験において電氣的ストレスを最大限の時間割合で印加することができ、効率的にバーンイン・ストレス試験を実施することができる。

【0079】また、第2実施形態に係る同期型半導体装置では、プリチャージ制御信号TPREを、アクセスコマンドREAD CMDの同期信号である外部クロックCLKに対して、適宜の所定時間だけ先行させて設定してやれば、内部プリチャージ信号PREによる制御回路200を介してのワード線の活性化信号WLのリセット期間を、必要最小限のプリチャージ期間として、その後の期間をワード線活性化期間とすることができ、バーンイン・ストレス試験において電氣的ストレスを最大限の時間割合で印加して効率的にバーンイン・ストレス試験を実施することができる。

【0080】更に、第3実施形態に係る同期型半導体装置では、プリチャージ制御信号TXPREを外部クロックCLKの立ち下がりエッジに同期して入力するので、アクセスコマンドREAD CMDを同期させる外部クロック信号CLKの立ち上がりエッジに対して、この立ち下がりエッジのタイミングを適宜の所定時間だけ先行させて設定してやれば、内部プリチャージ信号PREによる制御回路200によるワード線の活性化信号WLのリセット期間を必要最小限のプリチャージ期間として、その後の期間をワード線活性化期間とすることができ、バーンイン・ストレス試験において電氣的ストレスを最大

19

限の時間割合で印加して効率的にバーイン・ストレス試験を実施することができる。

【0081】上記第1乃至第3実施形態における同期型半導体装置のバーイン・ストレス試験を実施する試験システムにおいては、ドライバとして十分な電流供給能力を有する2値あるいは3値の出力が可能である出力バッファを備えており、駆動レベル及び駆動タイミングが相互に制御された試験システムであり、予め入力され記憶された外部クロックCLKの周波数、適合したプリチャージ期間に合致したプリチャージ制御信号TPRE、TXPREの入力タイミングや、外部クロックCLKのクロックデューティ比に基づき、あるいは他の設定手段からの指令に基づき、所定の制御信号を出力することができる。

【0082】尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。例えば、第2実施形態においては、制御コマンドCMDとしてのアクセスコマンドREAD CMDに先立ち入力されるローレベルパルスであるプリチャージ制御信号TPREの入力タイミングを適宜に設定して、プリチャージ制御信号TPREにより必要最小限のプリチャージ期間を設定する構成を例に説明をしたが、アクティブ信号とプリチャージ信号との関係を逆転してもよい。即ち、外部クロックの立ち上がりタイミングに同期してプリチャージコマンドPRE CMDを受け付けた後、適宜な所定期間を経て非同期のアクティブ信号を入力することにより、活性状態に移行させることもできる。この場合も、同期信号から非同期のアクティブ信号までの所定期間を適宜に設定してやれば、必要最小限のプリチャージ期間の後、その後の期間をワード線活性化期間とすることができ、バーイン・ストレス試験において電氣的ストレスを最大限の時間割合で印加して効率的にバーイン・ストレス試験を実施することができる。ここで、非同期のアクティブ信号が、請求項2における活性信号であり、又は請求項7における第2非同期制御信号である。

【0083】また、第3実施形態においては、制御コマンドCMDとしてのアクセスコマンドREAD CMDを外部クロックCLKの立ち上がりエッジに同期して入力し、これに先立つ外部クロックCLKの立ち下がりエッジに同期してプリチャージ制御信号TXPREのローレベル信号を取り込む構成を例に説明をしたが、アクティブ信号とプリチャージ信号との関係を逆転してもよい。即ち、外部クロックの立ち上がりタイミングに同期してプリチャージコマンドPRE CMDを受け付けた後、適宜な所定期間を経て外部クロックCLKの立ち下がりタイミングに同期してアクセスコマンドREAD CMDを入力する構成とすることもできる。この場合も、プリチャージコマンドPRE CMDからアクセスコマンドREAD CMDまでの所定期間を適宜に設定

20

してやれば、必要最小限のプリチャージ期間の後、その後の期間をワード線活性化期間とすることができ、バーイン・ストレス試験において電氣的ストレスを最大限の時間割合で印加して効率的にバーイン・ストレス試験を実施することができる。ここで、外部クロックCLKの立ち下がりタイミングに同期するアクセスコマンドREAD CMDが、請求項2における活性信号であり、又は請求項8における第2同期制御信号である。

【0084】（付記1） 活性状態と非活性状態とを交互に繰り返しながら前記活性状態における試験を実行する試験モードを有する同期型半導体装置において、同期信号における第1同期タイミングに同期して同期活性信号をラッチするラッチ手段と、前記活性状態に先立つ所定時間前に、非活性信号を検出する非活性検出手段と、前記非活性検出手段により検出した前記非活性信号により、前記非活性状態を指示する非活性手段とを備えることを特徴とする同期型半導体装置。

（付記2） 活性状態と非活性状態とを交互に繰り返しながら前記活性状態における試験を実行する試験モードを有する同期型半導体装置において、同期信号における第1同期タイミングに同期して同期非活性信号をラッチするラッチ手段と、前記非活性状態に引き続く所定時間経過後に、活性信号を検出する活性検出手段と、前記活性検出手段により検出した前記活性信号により、前記活性状態を指示する活性手段とを備えることを特徴とする同期型半導体装置。

（付記3） 前記非活性信号は、外部から入力される1あるいは2以上の第1非同期制御信号に基づき生成される信号であることを特徴とする請求項1に記載の同期型半導体装置。

（付記4） 前記非活性信号は、外部から入力され、前記同期信号における第2同期タイミングに同期した1あるいは2以上の第1同期制御信号に基づき生成される信号であることを特徴とする請求項1に記載の同期型半導体装置。

（付記5） 前記活性検出手段は、前記同期非活性信号自身あるいは前記同期非活性信号に基づき生成された信号から所定遅延時間を計測する遅延手段であり、前記活性信号は、前記遅延手段の入力信号であることを特徴とする請求項2に記載の同期型半導体装置。

（付記6） 前記同期非活性信号は、通常動作時における同期活性信号であることを特徴とする請求項5に記載の同期型半導体装置。

（付記7） 前記活性信号は、外部から入力される1あるいは2以上の第2非同期制御信号に基づき生成される信号であることを特徴とする請求項2に記載の同期型半導体装置。

（付記8） 前記活性信号は、外部から入力され、前記同期信号における第2同期タイミングに同期した1あるいは2以上の第2同期制御信号に基づき生成される信号

21

であることを特徴とする請求項2に記載の同期型半導体装置。

(付記9) 活性状態と非活性状態とを交互に繰り返しながら前記活性状態における試験を実行する同期型半導体装置の試験システムにおいて、同期信号を前記同期型半導体装置に供給する同期信号供給手段と、前記同期信号における第1同期タイミングに同期して同期活性信号を前記同期型半導体装置に供給する同期活性信号供給手段と、前記活性状態に先立つ所定時間前に、非活性信号を前記同期型半導体装置に供給する非活性信号供給手段とを備えることを特徴とする同期型半導体装置の試験システム。

(付記10) 活性状態と非活性状態とを交互に繰り返しながら前記活性状態における試験を実行する同期型半導体装置の試験システムにおいて、同期信号を前記同期型半導体装置に供給する同期信号供給手段と、前記同期信号における第1同期タイミングに同期して同期非活性信号を前記同期型半導体装置に供給する同期非活性信号供給手段と、前記非活性状態に引き続く所定時間経過後に、活性信号を前記同期型半導体装置に供給する活性信号供給手段とを備えることを特徴とする同期型半導体装置の試験システム。

(付記11) 付記1、3、又は4の少なくとも何れか1に記載の同期型半導体装置を、活性状態と非活性状態とを交互に繰り返しながら、前記活性状態において試験することを特徴とする付記9に記載の同期型半導体装置の試験システム。

(付記12) 付記2、5乃至8の少なくとも何れか1に記載の同期型半導体装置を、活性状態と非活性状態とを交互に繰り返しながら、前記活性状態において試験することを特徴とする付記10に記載の同期型半導体装置の試験システム。

(付記13) 活性状態と非活性状態とを交互に繰り返しながら前記活性状態における試験を実行する同期型半導体装置の試験方法において、前記活性状態に先立つ所定時間前に、非活性信号を検出して前記非活性状態に移行した後、同期信号における第1同期タイミングに同期して同期活性信号をラッチして前記活性状態に移行することを特徴とする同期型半導体装置の試験方法。

(付記14) 活性状態と非活性状態とを交互に繰り返しながら前記活性状態における試験を実行する同期型半導体装置の試験方法において、同期信号における第1同

22

期タイミングに同期して同期非活性信号をラッチして前記非活性状態に移行した後、前記非活性状態に引き続く所定時間経過後に、活性信号を検出して前記活性状態に移行することを特徴とする同期型半導体装置の試験方法。

【0085】

【発明の効果】本発明によれば、試験時における非活性状態の期間を必要最小限にして、活性状態の期間を任意に設定して活性状態の時間割合を高めることにより、バーンイン・ストレス試験を効率的に実行して、デバイスへの電氣的ストレスの印加効率を高めた同期型半導体装置、及び試験システムを提供することが可能となる。

【図面の簡単な説明】

【図1】第1実施形態の回路ブロック図である。

【図2】第1実施形態のワード線の制御回路を示す回路図である。

【図3】第1実施形態の動作波形を示す波形図である。

【図4】第2実施形態の回路ブロック図である。

【図5】第2実施形態のワード線の制御回路を示す回路図である。

【図6】第2実施形態の動作波形を示す波形図である。

【図7】第3実施形態の回路ブロック図である。

【図8】第3実施形態のワード線の制御回路を示す回路図である。

【図9】第3実施形態の動作波形を示す波形図である。

【図10】従来技術のワード線の制御回路を示す回路図である。

【図11】従来技術の動作波形を示す波形図である。

【図12】他の従来技術のワード線の制御回路を示す回路図である。

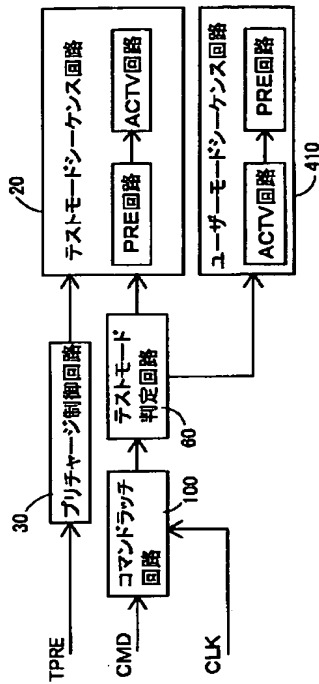
【図13】他の従来技術の動作波形を示す波形図である。

【符号の説明】

- 10、20 テストモードシーケンス回路
- 13 内部タイマ
- 30、50 プリチャージ制御回路
- 40 CLK立ち下がり検出回路
- 60 テストモード判定回路
- 100 コマンドラッチ回路
- 200 制御回路
- 400 ユーザーモードシーケンス回路

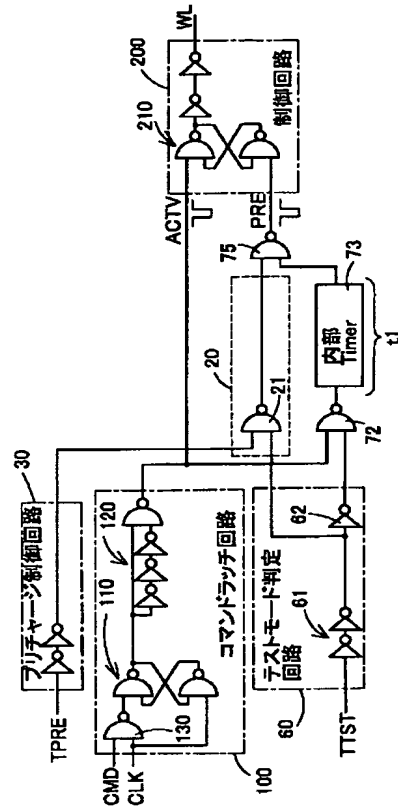
【図4】

第2実施形態の回路ブロック図



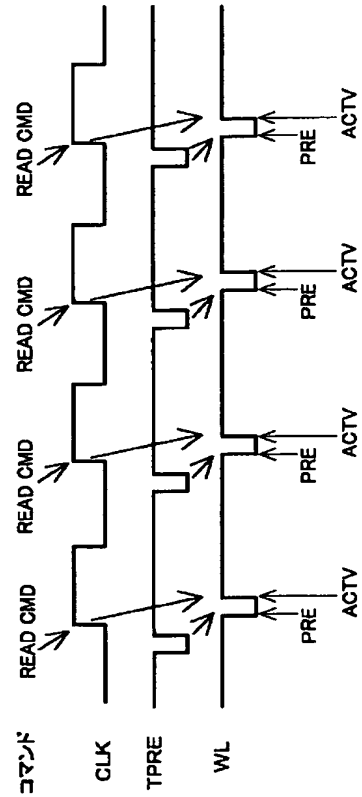
【図5】

第2実施形態のワード線の制御回路



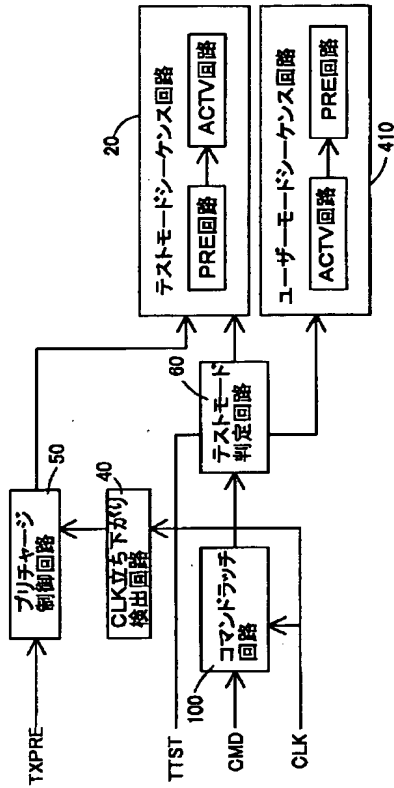
【図6】

第2実施形態の動作波形



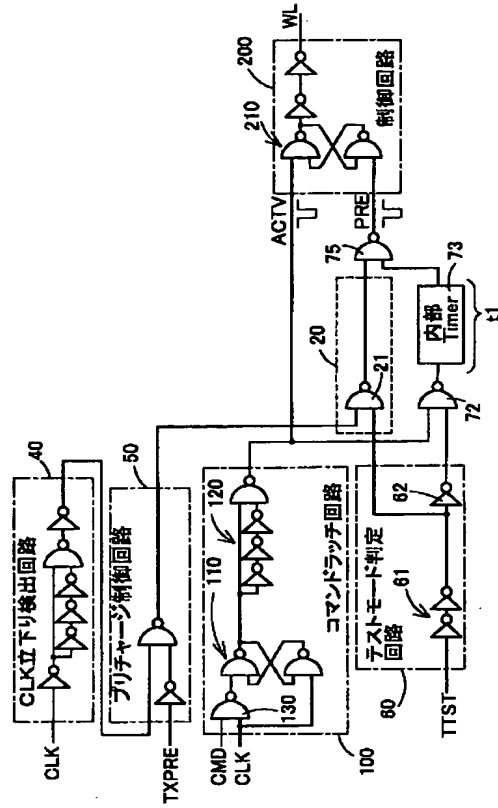
【図7】

第3実施形態の回路ブロック図



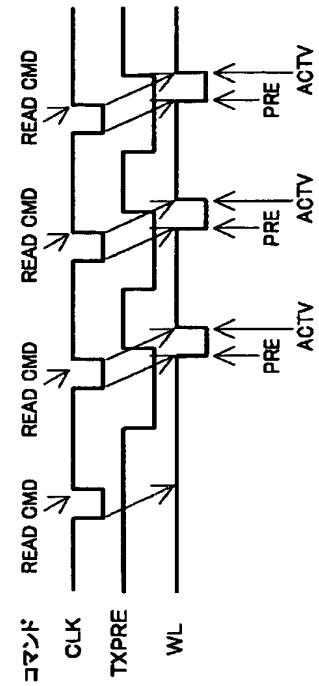
【図8】

第3実施形態のワード線の制御回路



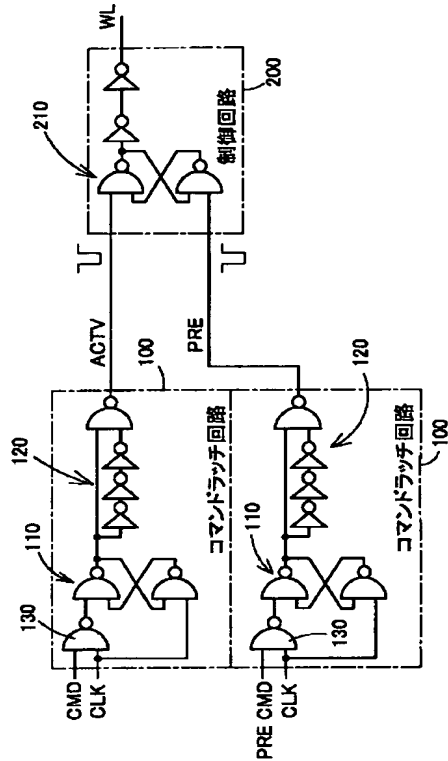
【図9】

第3実施形態の動作波形



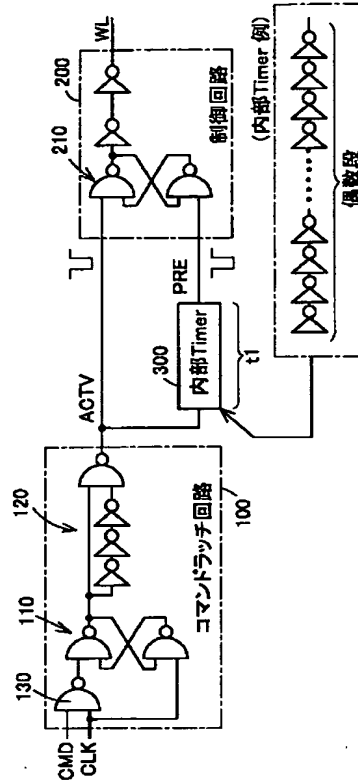
【図10】

従来技術のワード線の制御回路



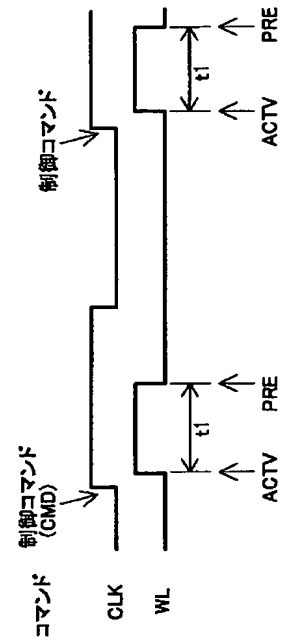
【図12】

他の従来技術のワード線の制御回路



【図13】

他の従来技術の動作波形



フロントページの続き

(72) 発明者 田中 英俊
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内
(72) 発明者 小川 和樹
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

Fターム(参考) 2G032 AA07 AB02 AD06 AD07 AE06
AE07 AE08 AE11 AG07 AK14
5B024 AA15 BA13 BA21 BA23 BA29
CA07 CA11 EA02
5L106 AA01 DD36 GG03